

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-289892

(43)Date of publication of application : 19.10.2001

(51)Int.Cl.

G01R 29/02
H04L 25/02

(21)Application number : 2000-291636

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 26.09.2000

(72)Inventor : WATANABE TOSHIFUMI
ANDO AKIHIKO
MIYAJI YUICHI

(30)Priority

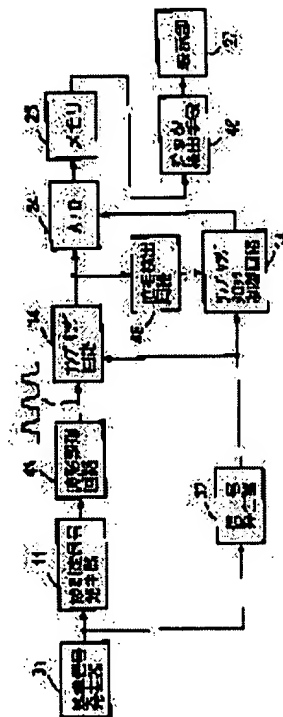
Priority number : 2000022069 Priority date : 31.01.2000 Priority country : JP

(54) METHOD AND DEVICE FOR MEASURING JITTER

(57)Abstract:

PROBLEM TO BE SOLVED: To allow manufacturing easily while the time required for measuring is shortened.

SOLUTION: A signal 23, which is to be measured, is waveform-shaped into a square wave with its frequency, duty ratio, and jitter component maintained (41). The reading edge (or trailing edge) part of the waveform-shaped output is sampled at a sampling clock frequency slightly different from $1/N$ of frequency f_M of the signal 23 (14). The sample is converted into a digital data which is stored in a memory 25. A difference from the sample data $V(t)$ and a leading edge characteristic line $V'(t)$ of the waveform-shaped output are calculated to provide a jitter $J'(t)$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-289892

(P2001-289892A)

(43) 公開日 平成13年10月19日 (2001. 10. 19)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 1 R 29/02		G 0 1 R 29/02	L 5 K 0 2 9
H 0 4 L 25/02	3 0 2	H 0 4 L 25/02	3 0 2 A

審査請求 未請求 請求項の数13 O L (全 11 頁)

(21) 出願番号 特願2000-291636 (P2000-291636)

(22) 出願日 平成12年9月26日 (2000. 9. 26)

(31) 優先権主張番号 特願2000-22069 (P2000-22069)

(32) 優先日 平成12年1月31日 (2000. 1. 31)

(33) 優先権主張国 日本 (J P)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 渡邊 敏文

東京都練馬区旭町1丁目32番1号 株式会

社アドバンテスト内

(72) 発明者 安藤 明彦

東京都練馬区旭町1丁目32番1号 株式会

社アドバンテスト内

(74) 代理人 100066153

弁理士 草野 卓 (外1名)

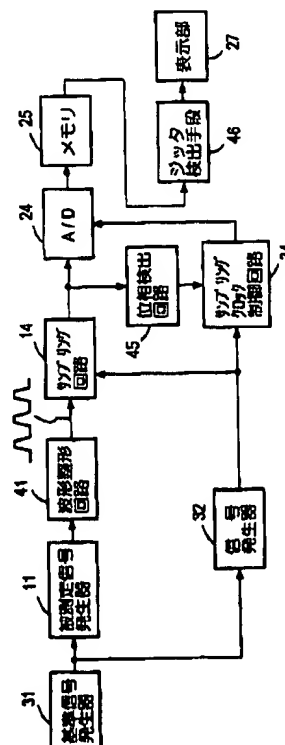
最終頁に続く

(54) 【発明の名称】 ジッタ測定装置及びその方法

(57) 【要約】

【課題】 製造を簡単にし、かつ測定時間を短縮する。

【解決手段】 被測定信号23をその周波数、デューティ比、ジッタ成分を保持した状態で方形波状に波形整形し(41)、その波形整形出力の立上り(又は立下り)部分を、信号23の周波数 f_w のN分の1とわずかな異なる周波数のサンプリングクロックによりサンプリングし(14)、そのサンプルをデジタルデータに変換してメモリ25に記憶し、これらサンプルデータ $V(t)$ 、波形整形出力の立上り特性線 $V'(t)$ との差を演算してジッタ $J'(t)$ を求める。



【特許請求の範囲】

【請求項1】 被測定信号を波形整形する波形整形回路と、

サンプリングクロックを発生する信号発生器と、
上記サンプリングクロックにより上記波形整形回路の出力をサンプリングして出力するサンプリング回路と、
上記サンプリング回路の出力の、上記波形整形回路の出力の立上り又は立下り特性に対するずれを求めてジッタを求めるジッタ検出手段とを具備するジッタ測定装置。

【請求項2】 請求項1記載の装置において、
上記サンプリング回路の出力のレベルから、上記波形整形回路の出力の立上り部分又は立下り部分を検出する位相検出回路と、

上記位相検出回路の検出出力により、上記サンプリング回路の出力の上記ジッタ検出手段への供給を開始させるサンプリングクロック制御回路と、
を具備することを特徴とするジッタ測定装置。

【請求項3】 請求項1記載の装置において、
上記サンプリング回路の出力をデジタルデータに変換するA/D変換器と、

上記A/D変換器の出力デジタルデータから上記形成整形回路の出力の立上り又は立下り部分に相当するデジタルデータを取り出して上記ジッタ検出手段へ供給するデータ取出し手段とを具備することを特徴とするジッタ測定装置。

【請求項4】 被測定信号を波形整形する波形整形回路と、

上記被測定信号の平均的な周波数と等しい周波数サンプリングクロックを発生する信号発生器と、

上記サンプリングクロックにより、上記波形整形回路の出力をサンプリングして出力するサンプリング回路と、
上記サンプリング回路の出力中の上記波形整形回路の出力の立上り又は立下り部分と対応するものと、上記波形整形回路の出力の立上り又は立下り特性とからジッタを求めるジッタ検出手段とを具備するジッタ測定装置。

【請求項5】 請求項1又は4記載の装置において、
上記サンプリング回路の出力をデジタルデータに変換するA/D変換器と、

上記サンプリング回路の出力のレベルから、上記波形整形回路の出力の立上り部分又は立下り部分を検出する位相検出回路と、

上記位相検出回路の検出出力により動作し、上記サンプリングクロックが供給されるごとに、上記A/D変換器の出力デジタルデータを上記ジッタ検出手段に取込む格納データクロック制御回路とを具備することを特徴とするジッタ測定装置。

【請求項6】 請求項4記載の装置において、
上記サンプリング回路の出力のレベルから上記波形整形回路の出力の立上り又は立下り部のほぼ中点をサンプリングしている状態を検出する位相検出回路と、

上記位相検出回路の検出出力により、上記サンプリング回路の出力の上記ジッタ検出手段への供給を開始させるサンプリングクロック制御回路と、を具備することを特徴とするジッタ測定装置。

【請求項7】 請求項2又は6記載の装置において、
上記サンプリング回路の出力をデジタルデータに変換して上記ジッタ検出手段へ供給するA/D変換器を備え、
上記サンプリングクロック制御回路は上記位相検出回路の出力により上記サンプリングクロックを上記A/D変換器へ供給して、そのサンプリングクロックごとにA/D変換動作を行わせる手段であることを特徴とするジッタ測定装置。

【請求項8】 請求項5記載の装置において、
上記位相検出回路は上記A/D変換器の出力デジタルデータについて上記波形整形回路の出力の立上り部分又は立下り部分をデジタル処理により検出する回路であることを特徴とするジッタ測定装置。

【請求項9】 請求項3又は7記載の装置において、
上記ジッタ検出手段において用いる出力の立上り又は立下り特性を、上記デジタルデータから演算により近似的に求める特性演算手段を備えることを特徴とするジッタ測定装置。

【請求項10】 請求項1乃至9の何れかに記載の装置において、

上記波形整形回路は上記被測定信号が入力されるコンパレータと、そのコンパレータの出力が入力される増幅器とよりなることを特徴とするジッタ測定装置。

【請求項11】 被測定信号を波形整形する波形整形過程と、

上記波形整形された信号を周期的にサンプリングしてサンプル系列として取出すサンプリング過程と、
上記サンプリング系列と、上記波形整形された信号の立上り又は立下り特性とからジッタを求めるジッタ検出過程とを有するジッタ測定方法。

【請求項12】 請求項11記載の方法において、
上記被測定信号の周波数のN分の1（Nは1以上の整数）と、上記サンプリングの周波数とをわずかずらし、
上記ジッタ検出過程は上記サンプル系列の、上記波形整形された信号の立上り又は立下り特性線からのずれを検出してジッタを求める過程であることを特徴とするジッタ測定方法。

【請求項13】 請求項11記載の方法において、
上記被測定信号の周波数のN分の1（Nは1以上の整数）と上記サンプリングの周波数とを一致させ、
上記ジッタ検出過程は、サンプル系列の各値が、波形整形出力のゼロ位相位置を基準として上記立上り又は立下り特性線のどこに位置しているかを求めてジッタを求める過程であることを特徴とするジッタ測定方法。

【発明の詳細な説明】

【0001】

3

【発明の属する技術分野】この発明は、例えばデジタル伝送におけるパルス列のような周期的波形信号の立上りや立下り、またはその両者の時間軸上での遙らぎいわゆるジッタを測定する装置及びその方法に関する。

【0002】

【従来の技術】例えばデジタル伝送におけるパルス列はその発生送出時には時間軸上に正しく配列され、つまり、正確な周期のクロックと同期して、立上り、立下りをもつ波形であるが、再生中継器などを通ると、パルスの配列に逃らぎ、つまりジッタが生じる。このジッタ量が大きいと、雑音が大きくなり、誤伝送や機器の誤動作にもつながる。そこで周期的波形信号を取扱う場合は、ジッタがどの程度であるか、測定して考慮する必要がある。

【0003】従来のジッタ測定装置は特開平8-262083号「ジッタ測定装置」に示されている。このジッタ測定装置は図10に示すように、被測定信号発生器11からの被測定信号が入力端子12を通じてPLL(Pase Locked Loop:位相同期)回路13とサンプリング回路14へ供給される。PLL回路においては、VCO(電圧制御発振器)15の発振出力を分周器16でN分の1に周波数分周した信号と、入力端子12から被測定信号とが位相比較器17で位相比較され、その位相比較出力は加算器18でD/A変換器19よりの位相オフセット電圧が加算され、その加算出力がループフィルタ21を通じてVCO15の制御端子へ供給され、VCO15の発振出力の周波数が、被測定信号の周波数の平均値のN倍になり、かつVCO15の発振出力の正弦波の位相がほぼゼロ度に被測定信号の立上りがほぼ位置するように、前記位相オフセット電圧が調整される。

【0004】このPLL回路13の正弦波出力は高調波除去フィルタ22で高調波が除去され、純粋な正弦波波形出力とされてサンプリング回路14へ供給され、被測定信号23の例えば立上りのエッジでサンプリングされ、そのサンプリング回路14の出力はAD変換器24でデジタルデータに変換されてメモリ25に一旦格納される。このデジタルデータは入力被測定信号にジッタがなければ、VCO出力正弦波のゼロ度位相位置を常にサンプリングした値となるから、ジッタがあればその量に
 応じて、VCO出力正弦波のゼロ度位相から離れた振幅値をサンプリングしたデータとなる。VCO出力信号を $Y(t) = A \sin(2\pi N f_i t)$ とすると、サンプリングしたジッタ電圧は $v(t) = A \sin(2\pi N f_i \cdot T_j(t))$ で表わせる。 $T_j(t)$ はジッタ時間データであり、 $T_j(t) = (1/2\pi N f_i) \sin^{-1}(v(t)/A)$ で求まる。この演算が演算部26で行われ、このデータ $T_j(t)$ 又は実効値として、2乗平均値 $T_{j,rms}$ が表示部27に表示される。一定時間における $T_{j,rms}(t)$ の平均値 $T_{j,0}$ と $T_j(t)$ との差の2乗平均

4

値 $T_{J_{rms}} = \sqrt{\sum (T_{J_i}(t_i) - T_{J_0})^2}$ を求めて表示してもよい。

【0005】この従来のジッタ測定装置においては被測定信号の平均周波数で安定に正弦波信号を出力するためのPLL回路13や高調波除去フィルタ22を被測定信号ごとに設計して組立てる必要があり、製造が面倒であった。また高精度に測定するためには、VCO出力正弦波のゼロ度位相の位置でサンプリングするように位相調整を位相オフセット電圧により行う必要があり、この調整が難しかった。このような点から図11に示すジッタ測定装置が考えられる。基準信号発生器31からの正確な周期の基準信号が被測定信号発生器11へ供給され、基準信号と同期した方形波状被測定信号23が被測定信号発生器11から出力されるようにされ、この被測定信号がサンプリング回路14へ供給される。また前記基準信号は信号発生器32へ供給され、信号発生器32から、被測定信号の平均周波数のN分の1の周波数で、かつ方形波状被測定信号23の平均周波数に対応する信号の立上り又は立下りの中点、いわゆるゼロクロス点と一致するサンプリングクロックが発生される。このサンプリングクロックによりサンプリング回路14で被測定信号がサンプリングされる。つまり図12Aに示す方形波状被測定信号の例えば立上りのゼロ点付近が図12Bに示すサンプリングクロックによりサンプリングされる。

【0006】被測定信号とサンプリングクロックとの位相がこのような関係になるように、被測定信号の平均周波数に対し、サンプリングクロックの周波数のN倍の値がわずかに異なるように信号発生器32の出力周波数が設定される。従ってサンプリングクロックによる被測定信号をサンプリングする位相位置が、徐々に移動し、例えば方形波状被測定信号の低レベル部分をサンプリングしている状態ではサンプリング回路14の出力サンプルのレベルが大きな負の値であり、サンプリング位相位置が例えば徐々に進み、方形波状被測定信号の立上り部分に入ると、出力サンプルのレベルが徐々にゼロに近づく、出力サンプルのレベルがゼロになった時点が位相検出回路33で検出され、その検出出力が信号発生器32へ入力され、信号発生器32はその時位相を継続し、かつ被測定信号23の平均周波数のN分の1の周波数のサンプリングクロックを発生するようにされる。

【0007】またこの時の位相検出回路33の出力によりサンプリングクロック制御回路34が制御され、信号発生器32からのサンプリングクロックがサンプリングクロック制御回路34を通してAD変換器24へ供給される。よって、AD変換器24はこの時点から、サンプリングクロックごとにサンプリング回路14の出力サンプルをそのレベルに応じたデジタルデータに変換することを開始する。この各デジタルデータはメモリ25に格納される。

【0008】 所要のデジタルデータの取込みが終ると、

図12Cに示すようにサンプリング点が理想のゼロ点位相より T_{j1} だけずれ、そのサンプルのデジタルデータが V_i であったとし、被測定信号23の立上りの傾斜が α であるとする $\tan \alpha = V_i / J_i$ であるから、ジッタ量は $J_i = V_i / \tan \alpha$ で求まる。この演算が演算部35で行われ、表示部27に表示される。先の場合と同様に所定期間内のジッタ平均値 J_a や2乗平均値 J_{rms} 、平均値 J_m と J_i との差の2乗平均値を求めてもよい。

【0009】図11に示したジッタ測定装置は信号発生器32として市販品例えば任意周波数信号発生器(Synthesized Signal Generator) 10 を使用でき、被測定信号ごとにPLL回路、高調波除去フィルタの設計、組立てを行う必要がなく製作が簡単である。

【0010】

【発明が解決しようとする課題】しかし、信号発生器32の周波数設定分解能の制限から被測定信号のN周期と、サンプリングクロックの1周期とを完全に一致させることが難しいため、サンプリング位置がゼロ点位相からずれてしまい、正確なジッタ測定ができない場合がある。被測定信号の波形の立上り(立下り)の傾斜が被測定信号ごとに異なるため、その傾斜角度 α を測定するごとに求める必要があり、面倒である。

【0011】位相検出回路33はその入力信号の電圧がある程度以上の電位差変化がないと動作しないため、正確にゼロ点位相を検出することが難しい。また被測定信号の振幅が小さい場合は位相検出回路33を動作させることができない。この発明の目的は比較的簡単に構成することができ、かつ被測定信号の周波数に無関係に、高い精度で測定することができ更に、被測定信号ごとにその立上り(立下り)の傾斜を求めるような面倒なことを必要としないジッタ測定装置及びその方法を提供することにある。

【0012】

【課題を解決するための手段】この発明によれば、周期的信号の被測定信号は波形整形回路により波形整形され、波形整形回路の特性で決る立上り又は立下りを持ち、かつ被測定信号の周波数、デューティ比、ジッタ成分は保持された方形波状信号とされ、この波形整形された信号をサンプリングクロックによりサンプリングする。被測定信号波形整形された信号の立上り又は立下り部分のサンプリング出力の系列と、波形整形回路の立上り又は立下り特性線とからジッタがジッタ検出部により検出される。

【0013】

【発明の実施の形態】図1にこの発明の実施例を示し、図11と対応する部分に同一番号を付けてある。被測定信号発生器11から周期的信号波形の被測定信号23がこの発明では波形整形回路41へ供給され、波形整形回路41で入力された被測定信号23の周波数、デューティ 50

比、ジッタ成分を保持した状態で一定の立上り、立下り特性をもった方形波に波形整形される。

【0014】波形整形回路41は例えば図2に示すように被測定信号23はバッファ回路42に入力され、バッファ回路42の出力はコンパレータ43で基準電圧レベルと比較されて波形整形されそのコンパレータ43の出力は増幅器44で所要の振幅に増幅されて出力される。バッファ回路42は入力信号をその周波数、デューティ比、ジッタ成分を変えずにコンパレータ43へ伝達し、コンパレータ43を駆動させるに必要な信号を供給し、またコンパレータ43と被測定信号発生器11と電気的な干渉(例えば本来の被測定波形信号に悪影響を与える)を抑制するものであり、これらの必要がなければ省略できる。

【0015】コンパレータ43は入力電圧レベルが基準電圧レベルを横切ったときだけ出力値が変化する回路であり、従って入力電圧が低い電圧値から基準電圧レベルを横切って高い電圧値に変化すると、一定の高レベル電圧値を出力し、逆に高い電圧値から基準電圧レベルを横切って低い電圧値になると一定の低レベル電圧を出力する。この場合の立上り時間(特性)、立下り時間(特性)はコンパレータ43のスイッチング特性に依存し、一定値となる。従ってコンパレータ43の出力は振幅値が一定であり、かつ立上り時間一定であり、立下り時間も一定である。またコンパレータ43は基準電圧レベルが動作点であるため、コンパレータ43の出力には入力被測定信号23の周波数、デューティ比、ジッタ成分は保存されている。

【0016】増幅器44は入力信号を一定の増幅率で増幅して出力し、その出力は入力被測定信号の周波数、デューティ比、ジッタ成分を保存するものである。コンパレータ43の出力の振幅値が十分大であれば、増幅器44を用いなくてもよい。波形整形回路41の出力はサンプリング回路14へ供給されて、信号発生器32からのサンプリングクロックによりサンプリングされる。サンプリングクロックの周波数 f_c は被測定信号23の周波数 f_s のN分の1(Nは1以上の整数)に対しわずかに異なる値、つまり $f_c \approx f_s / N$ とされている。信号発生器32としては図10に示したものと同様に市販されている任意周波数信号発生器を用いることができる。また、後述する波形整形回路41の出力と、サンプリングクロックとの相対、周波数位相関係を容易に得る点からは、基準信号発生器31からの基準信号により被測定信号発生器11及び信号発生器32を同期制御するようにするとよい。

【0017】サンプリング回路14の出力は位相検出回路45へ供給され、位相検出回路45は入力されたサンプルのレベルから、波形整形出力の立上り(又は立下り)部をサンプルしている状態を検出する。つまり、波形整形出力に対するサンプリング点は、前記周波数ずれ

から、その波形上で位置が徐々にずれ、波形整形出力の低レベル部分をサンプリングしている間はサンプルのレベルはその低レベルと同一であり、これより例えば立上り部分をサンプリングするようになると、サンプルのレベルが前記低レベルより大となり立上り部分をサンプリングする状態になったことが検出される。

【0018】このように位相検出回路45で立上り又は立下り部分をサンプリングしている状態が検出されると、その検出出力によりサンプリングクロック制御回路34が制御されて、信号発生器32からのサンプリングクロックがサンプリングクロック制御回路34を通過してAD変換器24へ供給され、AD変換器24でサンプリング回路14の各出力サンプルをデジタルデータに変換することが開始される。これら各変換されたデジタルデータは次々とメモリ25に格納される。つまり図9で示したような、ゼロ度位相位置を検出すると、その位相を保持して $f_s/N = f_c$ にサンプリングクロックの周波数を変更するような面倒なことを必要としない。つまり $f_c \approx f_s/N$ のままである。

【0019】波形整形回路41の出力が例えば図3Aに示すような波形である場合、サンプリングクロックは図3Bに示すように、この例では○印で示すよう波形整形出力の立上り部分をサンプリングする状態を位相検出回路45で検出され、この立上り部分のサンプリング出力(サンプル)がAD変換器24でデジタルデータに変換される。 f_s/N に対しサンプリングクロックの周波数 f_c がわずかにずらされているため、サンプリング点が波形整形出力の立上り部において順次ずれていく。図示例では被測定信号の周波数 f_s の3分の1よりもサンプリング周波数 f_c がわずかに小とされており、サンプリング点がサンプリングごとに立上り部分において上方へずれている。等価的には、時間間隔 $1/f_c$ と時間間隔 N/f_s との差の時間間隔 $\Delta t = |(N/f_s) - (1/f_c)|$ で被測定信号をサンプリングしたように見える。

【0020】この立上り部分のサンプリングにおいて、ジッタの観察が十分に行える程度の数Pのサンプルが得られるように、 f_s/N と f_c との差と、Nの値とが選定される。この所要のサンプル数Pが得られれば、その立上り部分の任意の範囲からサンプルを取得すればよく、平均的な波形整形出力のゼロ度位相にサンプリング点を合わせる必要はない。なおサンプルの取込みは、位相検出回路45の制御のもとに、例えば立上り(又は立下り)の開始から、その終了まで行ってもよく、立上りの任意の位置から所定数P(例えば10乃至数回)取得するとサンプルの取込みを停止するようにしてもよい。

【0021】このようにして所定数P又はそれ以上のサンプルのデジタルデータがメモリ25に格納されると、各サンプルのデジタルデータについて、サンプリングした立上り(又は立下り)と対応する波形整形回路41の立上り(又は立下り)特性からのずれをジッタ検出手段

46で検出する。つまり波形整形回路41の例えば立上り特性、つまり波形整形出力の立上りの時間に対する電圧値 $V'(t)$ の変化を示す特性は図4Aに示すように一定であり、かつ理想的には1次関数(直線)、一定の傾斜aと初期電圧bをもった関数 $V'(t) = at + b$ である。従って入力被測定信号23にジッタが全く含まれていなければ、図3Aに示した○印のサンプル値 $V(t)$ はこの整形回路の出力の立上り特性 $V'(t)$ 上に位置する。しかし被測定信号23にジッタが存在すると、ジッタに応じてサンプル値 $V(t)$ は特性 $V'(t)$ よりも大きかったり、小さかったりする。その結果、サンプル系列の $V(t)$ の時間tに対する変化状態は例えば図4Bに示すようになる。

【0022】従ってこの図4Bに示した各サンプルのデジタルデータ $V(t)$ から、立上り特性 $V'(t)$ の対応する時刻の値を差し引いた値がジッタ値 $J'(t) = V(t) - V'(t) = V(t) - at - b$ として求める。なお、tの値はAD変換器24への取込み開始時のサンプルに対し、 $t=0$ とし、サンプリングごとにtの値を $+\Delta t$ (前記した)する。求めたジッタ値 $J'(t)$

(t)は例えば図4Cに示すようになる。このジッタ値 $J'(t)$ が表示部27に表示される。この場合も、サンプリング開始位置によってジッタ電圧値に電圧方向に一定のオフセット電圧が加わる場合がある。つまり $V(t)$ のtと $V'(t)$ とにずれがある場合がある。よって正確には、これらP個のジッタ $J'(t)$ の平均値 J_s を求め、各ジッタ値 $J'(t)$ から J_s を差し引いた値 $J(t) = J'(t) - J_s$ をジッタ値として表示することが好ましい。また従来技術と同様にジッタの2乗平均値(実効値) J_{rms} を求めて表示してもよい。

【0023】なお $V'(t) (= at + b)$ は予め求めておくが、これは例えば被測定信号23と周波数が近くなるべくジッタが小さいものを波形整形回路41に通し、その出力中の立上り(又は立下り)部をサンプリングし、これらサンプルをデジタルデータに変換し、これらデジタルデータから最小自乗法などにより、 $V'(t) (= at + b)$ の近似特性を一度演算により求めておけばよい。なお波形整形回路4の出力の立上り(立下り)の傾きはコンパレータ43のスイッチング特性に依存し、この傾きaは予め求めておけばよく、被測定信号ごとに測定する必要はない。ジッタを高精度に求めるにはコンパレータ43のスイッチング特性が急峻なもの、つまり立上り(又は立下り)の傾きが急峻なものを利用すればよい。

【0024】位相検出回路45はその入力レベルの変化がある程度以上ないと検出動作ができない。従って被測定信号の振幅が小さいと、サンプルが波形整形出力の立上り(又は立下り)部分が否かを検出できず、ジッタを測定できなくなるが、増幅器44で波形整形出力の振幅を増幅することによりそのような問題を避けることがで

きる。更に位相検出回路45により例えば立上りの開始から、終了までのサンプルを取込む場合、位相検出回路45で検出可能なレベル差が例えば ΔV_1 とすると、被測定信号の振幅が小さく、波形整形出力も図5Aに示すように小さい場合は検出可能なジッタの範囲は ΔT_1 であるが、増幅器44により図5Bに示すように大きな振幅とされると、検出可能なジッタの範囲は ΔT_2 となり ΔT_1 より大きなジッタも検出できるようになる。また増幅器44の周波数特性が十分広くない場合は、図5Cに示すように立上り特性がにぶり、つまり傾斜がゆるくなるため、更に大きなジッタも検出できるようになる。ただし、この場合は増幅器44の出力の立上り特性(傾斜)を予め求めておく必要があり、この立上り特性を $V'(t)$ として用いることになる。

【0025】上述においては位相検出回路45で波形整形出力の立上り又は立下り部分を検出して、サンプルを取込んだが、全てのサンプルを取込み、取込んだデジタルデータから立上り又は立下り部分を検出してもよい。この場合の構成を図6に図1と対応する部分に同一符号を付けて示す。つまり図1中のサンプリングクロック制御回路34、位相検出回路45が省略され、サンプリング回路14でサンプリングされた全てのサンプルはAD変換器24でデジタルデータとされてメモリ25に格納される。

【0026】このメモリ25に格納されたデジタルデータは順次読出されてデータ選出手段48で波形整形出力の立上り又は立下り部分のデジタルデータが選定される。この選出は例えば図7に示すようにメモリ25からその格納順に1つつ取込み(S1)、その取込んだデータと直前に取込んだデータとの差を演算し(S2)、その差が所定値以上かを調べる(S3)。ただし1回目は前データがないから一般に所定値以上になるから無視する。この差が所定値以上でなければステップS1に戻って次のデータを1つつ取込む。この取込みは前データの次に格納されたもの又は所定の複数後に格納されたものとしてもよい。またこの取り込みは、格納順に1つつ取り込むのではなく、所定の複数個ずつ取り込んでその平均値を求め、直前に取込んだ所定の複数個の平均値との差を調べても良い。ステップS3で差が所定値以上であれば、その取込んだデータが低レベル部分から立上り部分に入ったデータ又は高レベル部分から立下り部分に入ったデータと判断して、そのデータより順次格納したデータをメモリ25から所定数Pだけ取出して、ジッタ検出手段46へ供給する。

【0027】ジッタ検出手段46での処理は図1について説明した場合と同様である。ここでは立上り(立下り)特性関数 $V'(t)$ を予め求めておいたものを用いても良いし、用いない場合、データ選出手段48により選出したデータにもとづき特性演算手段49で演算により求めて、これをジッタ検出手段46で利用する。特性

演算手段49は入力されたデータを用いて例えば最小2乗法により、それらデータに近い近似線を求め、この近似線を $V'(t)$ として用いる。同一種の被測定信号に対しては1度近似線 $V'(t)$ を求めればよい。またこの場合は、コンパレータ43自体の特性や増幅器44を通すことにより、立上り又は立下り特性が直線からずれている場合にもジッタを正しく求めることができる。この近似線を求めて利用することは図1に示した実施例にも適用できる。

【0028】ジッタ検出手段46での処理の手順は例えば図8に示すように、データ $V(t)$ を取込み(S1)、 $V(t)$ と特性値 $V'(t)$ との差を演算(S2)、その差の演算結果 $J'(t)$ を記憶手段に記憶し(S3)、所定数のデータを取込んでなければ(S4)、ステップS1に戻り、所定数のデータの取込みが終ったならば記憶手段から差演算結果 $J'(t)$ を読み出し、これらの平均値 J_{ave} を算出し(S5)、この平均値 J_{ave} と各差演算結果の差 $J(t)$ を求め(S6)、更に $J(t)$ の実効値 J_{rms} を求める(S7)。

【0029】要するにジッタ検出手段46、データ選出手段48、特性演算手段49はマイクロコンピュータやDSP(Digital Signal Processor)によりプログラムを解釈実行して機能させてもよい。上述では被測定信号周波数 f_{in} のN分の1とサンプリングクロックの周波数 f_{c} とをわずかに異ならせ、立上り又は立下り上におけるサンプリング点を順次ずらしたが、図11に点線で示すように被測定信号発生器11とサンプリング回路14との間に波形整形回路41を挿入して平均的波形整形出力のゼロ度位相点をサンプリングするようにしてもよい。この場合、図12Cに示したようにサンプル値 V_i からジッタ $J_i = V_i / \tan \alpha$ により求めればよい。この場合も、被測定信号の立上り又は立下り特性をいちいち求める必要がなくなる。

【0030】メモリ25へのデジタルデータの取込みは次のようにしてもよい。即ち図9に図1と対応する部分に同一番号を付けて示すように、サンプリング回路14の出力サンプルをAD変換器24で常にデジタルデータに変換し、位相検出回路45で波形整形回路11の出力波形の立上り部分又は立下り部分が検出されると、その検出出力が得られている間のみ、格納データ用クロック制御回路51を制御して、AD変換器24よりのデジタルデータをメモリ25に取り込んでもよい。つまり格納データ用クロック制御回路51は例えばアドレスカウンタを備え、位相検出回路45から検出出力が得られている間、信号発生器32からのサンプリングクロックを計数し、その計数値のアドレスとしてメモリ25に供給すると共に、そのアドレスが1歩進すごとにメモリ25に書き込み指令を与えるようにすればよい。またこのようにサンプリング回路14の出力サンプルを、AD変換器24で常にデジタルデータに変換している場合は、位相

検出回路45として、図9中に波線で示すように、A/D変換器24の出力デジタルデータをデジタル位相比較回路45'へ供給し、位相検出回路45の機能をデジタル回路で構成して機能させてもよい。この場合はデジタル処理であるため、回路設計が容易になる。これら格納データ用クロック制御回路51やデジタル位相検出回路45'は、図11において波形整形回路41を用いる前述したこの発明の実施例にも適用できる。

【0031】波形整形回路41の立上り又は立下り特性を変更できるようにし、目的に合わせた特性のものを使用するようにしてもよい。これは立上り又は立下り特性が異なる複数の波形整形回路を設け、これらを切替えて使用する。コンパレータ44は例えば入力電圧レベルが基準電圧レベルを横切ると、定電流で出力コンデンサに対する定電流による充電又は放電により高レベル出力又は低レベル出力とるように構成されているが、その定電流値を定電流源の抵抗値を調整して変更したり、出力コンデンサの容量を変更することにより、前記立上り又は立下り特性を変更するようにしてもよい。波形整形回路41の出力振幅を調整できるようにしてもよい。これは増幅器44の利得を変更できるようにすればよい。このようにして、複数の立上り又は立下り特性と、複数の波形整形出力振幅値の組合せの中から選択して動作させるようにすることもできる。

【0032】上述ではジッタ検出手段46で用いる複数のサンプルデータはそのサンプルした立上り又は立下り部分の波形を重ね合わせると、重ね合わせ波形の1つの立上り又は立下り部分のサンプルデータによりジッタを求めたが、重ね合わせ波形の複数についてのサンプルデータを用い、つまりより多くのサンプルデータを用いてジッタ

を求めてもよい。

【0033】

【発明の効果】以上述べたようにこの発明によれば簡単に製造することができ、また被測定信号ごとにその立上り又は立下り特性を求める必要がなく、それだけ短時間に測定することができる。

【図面の簡単な説明】

【図1】この発明の実施例を示すブロック図。

【図2】図1中の波形整形回路41の具体例を示すブロック図。

【図3】Aは波形整形出力波形とそのサンプリング点を示す図、Bはサンプリングクロックを示す図である。

【図4】Aは波形整形出力の立上り特性 $V'(t)$ の例を示す図、Bは立上り部分のサンプル値の系列 $V(t)$ の例を示す図、Cは検出したジッタ系列の例を示す図である。

【図5】立上り特性の例を示す図。

【図6】この発明の他の実施例を示すブロック図。

【図7】図6中のデータ選出手段の処理手順の例を示す流れ図。

【図8】図1及び図6中のジッタ検出手段46の処理手順の例を示す流れ図。

【図9】この発明の他の実施例を示すブロック図。

【図10】従来のジッタ測定装置を示すブロック図。

【図11】この発明の他の実施例を示すと同時に、提案されているジッタ測定装置を示す図。

【図12】Aは被測定信号とそのサンプリング点を示す図、Bはサンプリングクロックを示す図、Cはサンプリング値 V_i とジッタ J_i との関係を示す図である。

【図1】

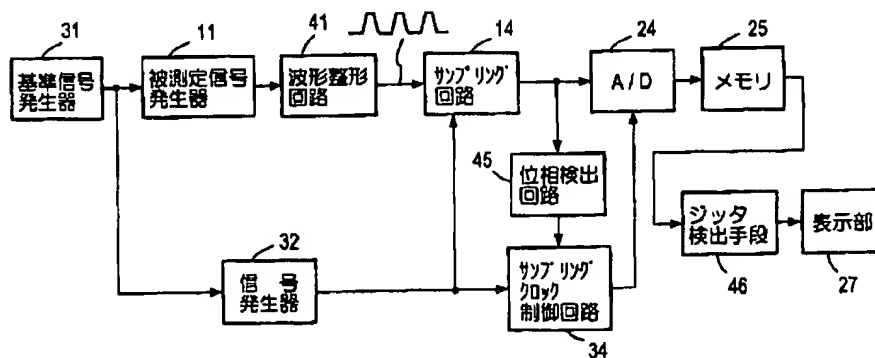


図1

【図2】

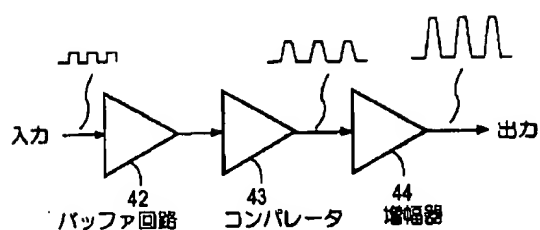


図2

【図3】

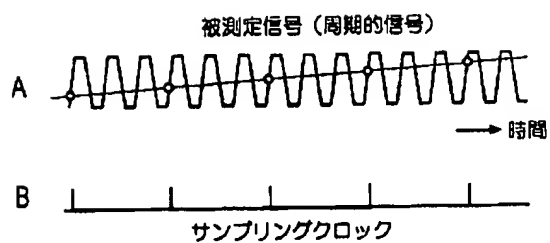


図3

【図4】

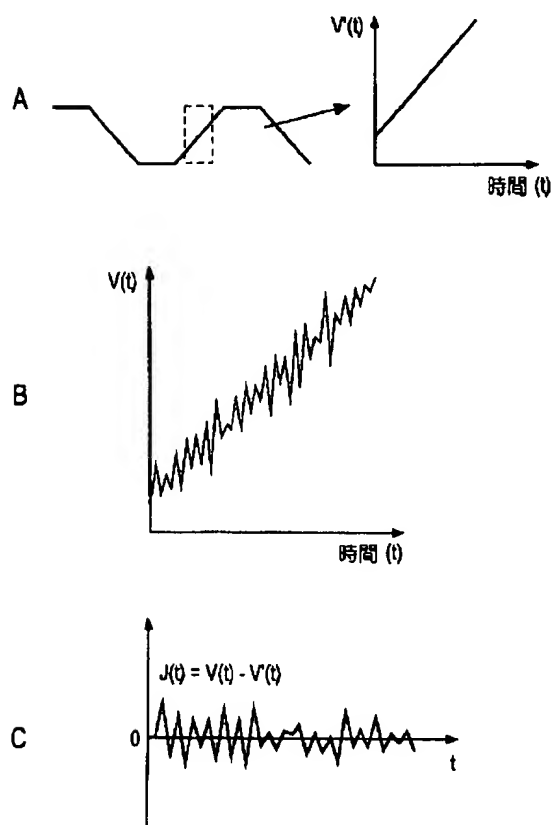


図4

【図7】

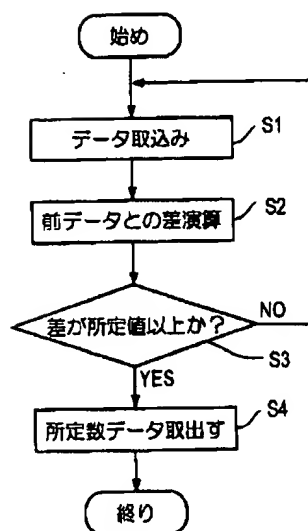


図7

【図5】

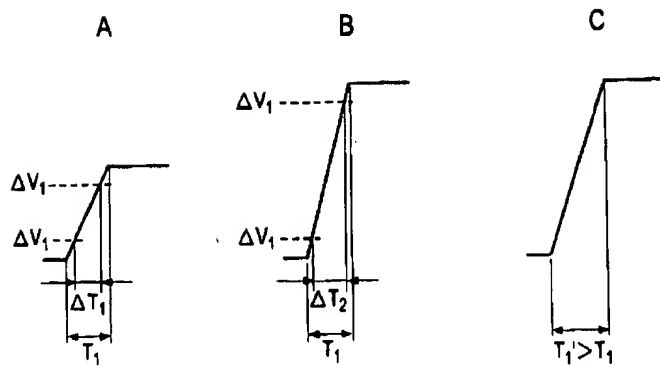


図5

【図6】

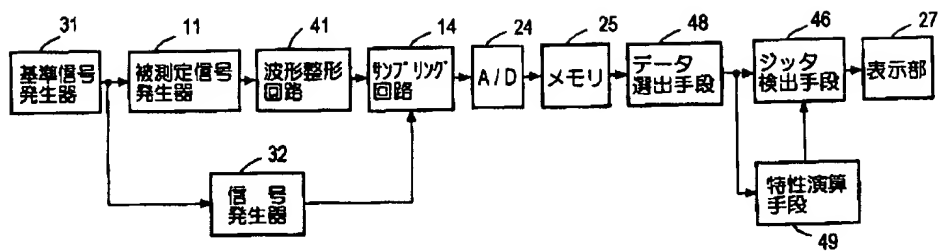


図6

【図9】

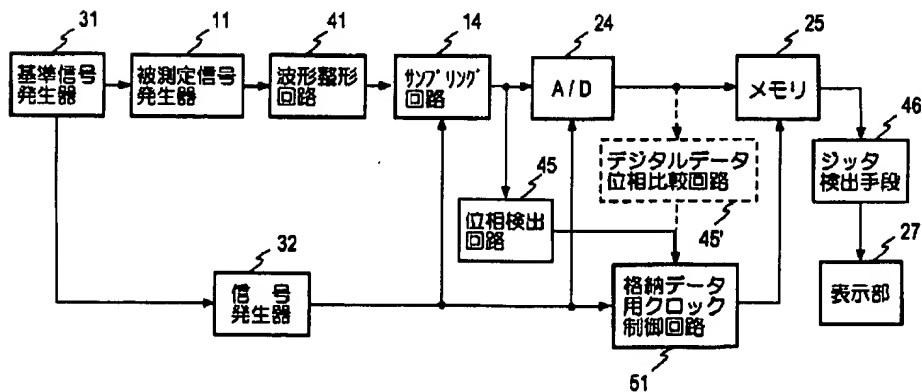


図9

【図8】

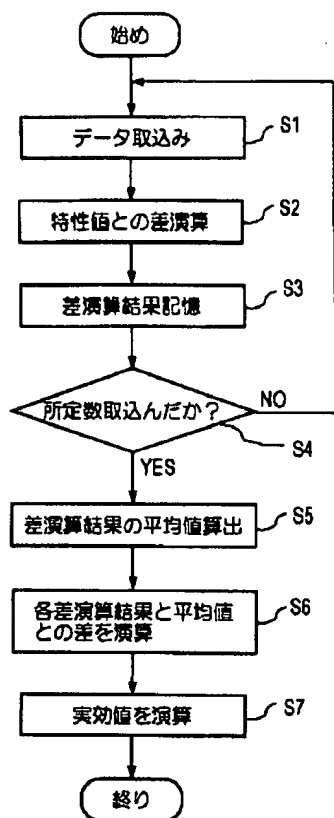


図8

【図12】

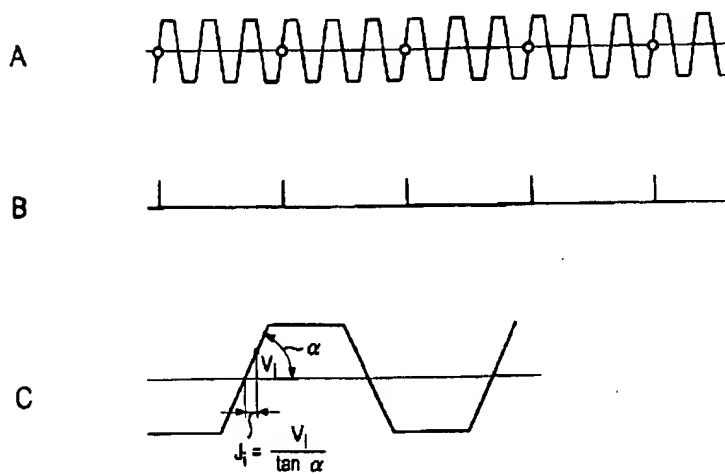


図12

【図10】

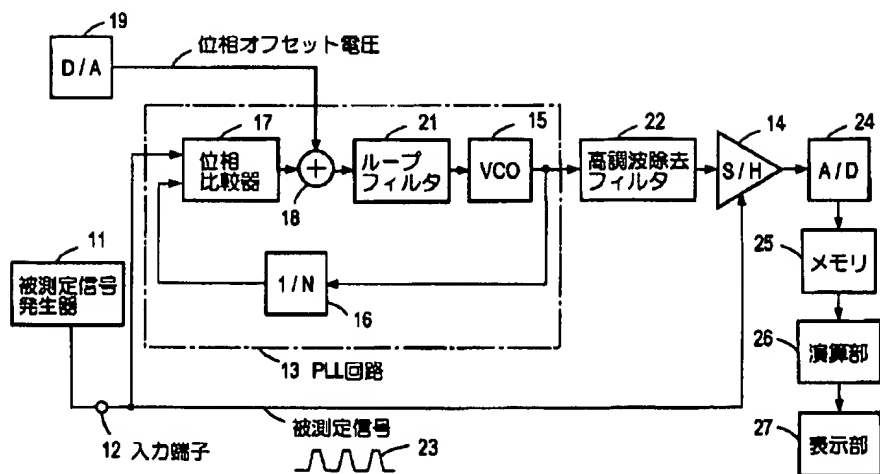


図10

【図11】

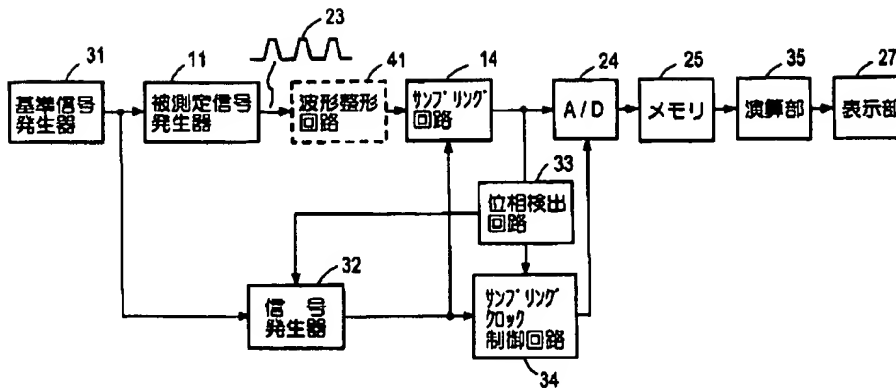


図11

フロントページの続き

(72)発明者 宮地 祐一
東京都練馬区旭町1丁目32番1号 株式会
社アドバンテスト内

Fターム(参考) 5K029 AA18 KK23